

## SUBSTRATE OF IC PACKAGE

**Patent number:** JP2001015638  
**Publication date:** 2001-01-19  
**Inventor:** SAWAMOTO SHUICHI; NAKANIWA KATSUKI  
**Applicant:** MITSUMI ELECTRIC CO  
**Classification:**  
**- international:** H01L23/12; H05K1/02  
**- european:**  
**Application number:** JP19990186063 19990630  
**Priority number(s):** JP19990186063 19990630

### Abstract of JP2001015638

**PROBLEM TO BE SOLVED:** To prevent transfer, etc., from being interfered by restraining warp of thickness even if a substrate is thinned. **SOLUTION:** A metal layer 3 is formed in a circumference of a substrate 1 of an IC package to enclose an IC chip mounting position 2. As for the substrate 1, glass epoxy, paper epoxy, BT(bismaleimide triazine monomer) resin, polyimide film, etc., can be used and it can be made at most 0.2 mm thick. The metal layer 3 contains elements such as Cu, Ni, Au, Pd, etc., and is formed by plating and sticking. A single layer or a multilayer can be used.

---

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15638

(P2001-15638A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\* (参考)

H 0 1 L 23/12

H 0 1 L 23/12

L 5 E 3 3 8

H 0 5 K 1/02

H 0 5 K 1/02

E

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平11-186063

(22) 出願日

平成11年6月30日 (1999.6.30)

(71) 出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72) 発明者 澤本 修一

神奈川県厚木市酒井1601 ミツミ電機株式  
会社厚木事業所内

(72) 発明者 中庭 克樹

神奈川県厚木市酒井1601 ミツミ電機株式  
会社厚木事業所内

Fターム (参考) 5E338 AA01 AA02 AA03 BB72 CC01

CD23 CD33 EE24 EE28

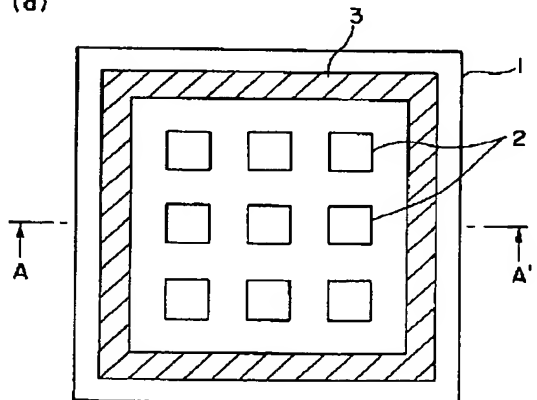
(54) 【発明の名称】 ICパッケージの基板

(57) 【要約】

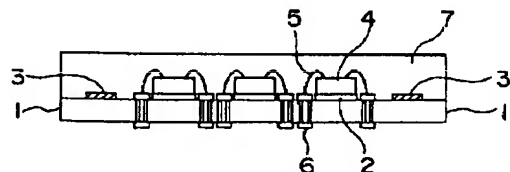
【課題】 従来のチップサイズパッケージ (CSP), ボールグリッドアレイ (BGA) などのICパッケージでは、厚みが0.2mmを下回るような基板は組立中の反りが大きくなり、ライン中での搬送などに支障があった。

【解決手段】 ICパッケージの基板1の周囲に、ICチップ搭載位置2を囲むようにメタル層3を形成してなる。基板1としては、ガラスエポキシ、紙エポキシ、BT (ビスマレイドトリアジンモノマー) レジン、ポリイミドフィルム等を使用でき、厚みを0.2mm以下にできる。メタル層3は、Cu、Ni、Au、Pd等であり、メッキ及び貼付けにより形成する。単層でも、多層でもかまわない。

(a)



(b)



**【特許請求の範囲】**

**【請求項1】** ICチップを所定の位置に搭載するためのICパッケージの基板において、上記ICチップの搭載位置の周囲に金属層を形成してなることを特徴とするICパッケージの基板。

**【請求項2】** 上記金属層を上記基板の片面又は両面に形成することを特徴とする請求項1記載のICパッケージの基板。

**【請求項3】** 上記金属層をメッキにより形成することを特徴とする請求項1記載のICパッケージの基板。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、薄型化可能で、かつ反りが抑制されるICパッケージの基板に関する。

**【0002】**

**【従来の技術】** 近年、ICパッケージ全体の小型化に伴い、外部端子をパッケージの底面に配列し、パッケージを限りなくICチップのサイズに近づけるチップサイズパッケージ(CSP)、ボールグリッドアレイ(BGA)が検討されている。BGAは端子間ピッチが0.8mm以上のもので、CSPは0.8mmより小さいものである。図4には、ICチップ搭載位置51が示された基板50の平面図(A)と、ICチップ搭載位置51にICチップ52が搭載された状態での断面図(B)を示す。ICチップ52は樹脂パッケージ53で封止されている。

**【0003】**

**【発明が解決しようとする課題】** ところで、従来のチップサイズパッケージ(CSP)、ボールグリッドアレイ(BGA)などのパッケージでは、ガラスエポキシ、紙エポキシ、BT(ビスマレイドトリアジンモノマー)レジン、ポリイミドフィルム等様々な基板を利用するが、基板厚みが0.2mmを下回るような場合には組立中の反りが大きくなり、ライン中での搬送などに支障が有るので、一般的には使用されていなかった。

**【0004】** 本発明は、上記実情に鑑みてなされたものであり、薄型化が図られても、厚みの反りを抑制し、搬送などに支障をきたさないICパッケージの基板の提供を目的とする。

**【0005】**

**【課題を解決するための手段】** 本発明に係るICパッケージの基板は、ICチップを所定の位置に搭載するためのICパッケージの基板において、上記ICチップの搭載位置の周囲に金属層を形成してなる。このため、上記基板は薄型化されても金属層により反りが抑えられる。

**【0006】**

**【発明の実施の形態】** 以下、本発明の実施の形態について図面を参照しながら説明する。図1～図3に本発明の具体例を示す。

**【0007】** 先ず、図1には、ICパッケージの基板1

の周囲に、ICチップ搭載位置2を囲むように金属層3を形成した具体例を示す。図1の(a)はICパッケージの基板1の平面図であり、図1の(b)はICチップ搭載位置2にICチップ4を搭載し、樹脂パッケージ7で封止した状態における図1の(a)のAA'での断面図である。

**【0008】** 基板1としては、ガラスエポキシ、紙エポキシ、BT(ビスマレイドトリアジンモノマー)レジン、ポリイミドフィルム等を使用でき、厚みを0.2mm以下にできる。金属層3は、Cu、Ni、Au、Pd等であり、メッキ及び貼付けにより形成する。単層でも、多層でもかまわない。

**【0009】** ICチップ4は基板1にダイボンディングされ、ICチップ4の上部電極は基板1の表面パターンにボンディングワイヤ5で接続されている。したがって、ICチップ4の上部電極は基板1の下面に印刷形成された金属膜6と接続される。ICチップ4は上述したように樹脂パッケージ7で封止されている。

**【0010】** このように、図1に示した具体例によれば、基板1の周囲にIC搭載位置2を囲むように金属層3を形成しているため、基板1の厚みを0.2mm以下としても、組み立て中の反りを抑制することができ、ラインでの搬送に支障を生じさせない。

**【0011】** 次、図2には、ICパッケージの基板1の周囲に、ICチップ搭載位置2を囲むように2重に金属層3a、3bを形成した具体例を示す。図2の(a)はICパッケージの基板1の平面図であり、図2の(b)はICチップ搭載位置2にICチップ4を搭載し、樹脂パッケージ7で封止した状態における図2の(a)のAA'での断面図である。

**【0012】** 基板1の材質、金属層3a、3bの材質及び厚さは上記図1の具体例と同様である。またICチップ4の上部電極、その他の接続に関しても上記具体例と同様である。

**【0013】** したがって、この図2に示した具体例によっても、基板1の周囲にIC搭載位置2を囲むように2重に金属層3a、3bを形成しているため、基板1の反りを抑制することができ、ラインでの搬送に支障を生じさせない。

**【0014】** 次に、図3には、ICパッケージの基板1上に、ICチップ搭載位置2を囲むように十文字状に金属層3を形成した具体例を示す。図3の(a)はICパッケージの基板1の平面図であり、図3の(b)はICチップ搭載位置2にICチップ4を搭載し、樹脂パッケージ7で封止した状態における図3の(a)のAA'での断面図である。

**【0015】** 基板1の材質、金属層3a、3bの材質及び厚さは上記図1の具体例と同様である。またICチップ4の上部電極、その他の接続に関しても上記具体例と同様である。

【0016】したがって、この図3に示した具体例によっても、基板1上のIC搭載位置2を囲むように十文字状にメタル層3を形成しているのので、基板1の反りを抑制することができ、ラインでの搬送に支障を生じさせない。

【0017】なお、本発明は、上記図1～図3に記載の具体例にのみ適用を限定されるのではなく、周囲に配置するメタル層の材質としてはCu、Ni、Au、Pd等が一般的であるが、その他全てのメタルでも可能である。さらにメタル層は、基板の片面だけではなく、両面

【0018】

【発明の効果】本発明によれば、薄型化を図りながらも、組み立て中の反りを抑制し、搬送などに支障をきた

さないICパッケージの基板を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の具体例の平面図及び断面図である。

【図2】本発明の第2の具体例の平面図及び断面図である。

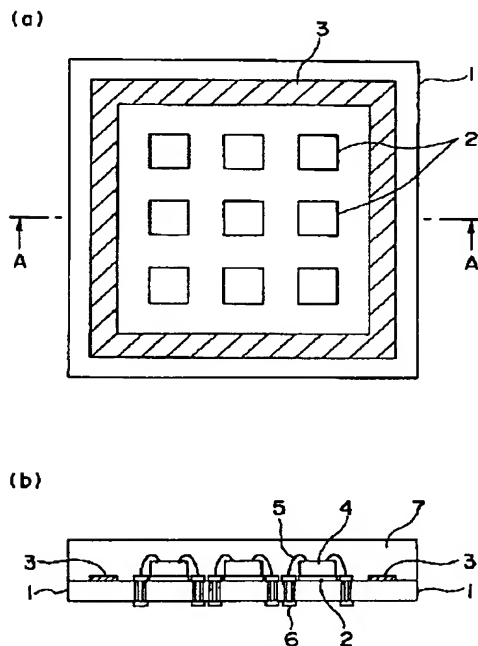
【図3】本発明の第3の具体例の平面図及び断面図である。

【図4】従来のICパッケージの基板の平面図及び断面図である。

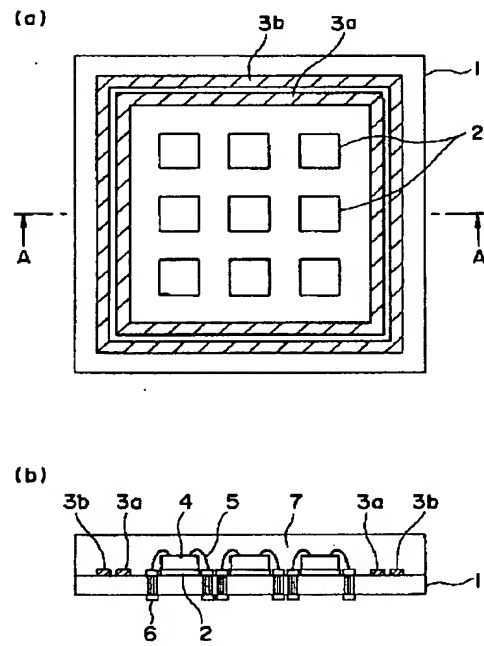
【符号の説明】

- |   |           |
|---|-----------|
| 1 | 基板        |
| 2 | ICチップ搭載位置 |
| 3 | メタル層      |
| 4 | ICチップ     |

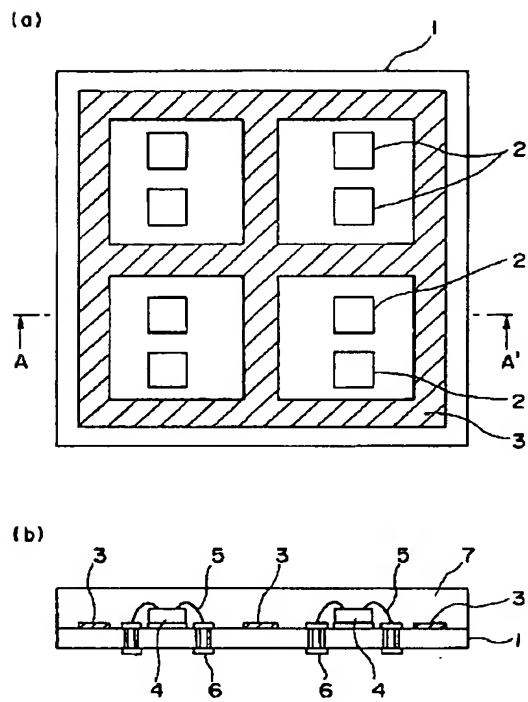
【図1】



【図2】



【図 3】



【図 4】

